

# Best Available Copy

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-172505

(43)Date of publication of application : 02.07.1996

---

(51)Int.Cl. H04N 1/028

---

(21)Application number : 06-312829 (71)Applicant : FUJI XEROX CO LTD

(22)Date of filing : 16.12.1994 (72)Inventor : SHIMIZU MITSUO

---

(54) IMAGE READER

(57)Abstract:

PURPOSE: To allow the reader to be transited to a stable image read operation in a short time at the start of reading.

CONSTITUTION: In the image reader where the supply of a drive clock signal CCD-CLK to a CCD solid-state image pickup element 8 is stopped in the standby mode not reading any image, a clock generating circuit 11 generates control signal CCDEN at a high level for the standby period, the control signal is given to the CCD solid-state image pickup element 8 via an OR circuit 13 and an inverter 14 to keep the level of the drive clock signal CCD-CLK to be low to keep the output signal level of the CCD solid-state image pickup element 8 to be a DC output bias level.

---

LEGAL STATUS [Date of request for examination] 25.05.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3557675

[Date of registration] 28.05.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

\* NOTICES \*

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The image reader characterized by to have a clock supply means suspend supply of a drive clock signal in the standby period which does not perform read of an image while supplying the drive clock signal which drives it to the optoelectric transducer which changes into an electrical signal the optical image obtained by the photographic subject by irradiating light, and said optoelectric transducer, and an output-level maintenance means hold the output-signal level of said optoelectric transducer on predetermined level at said standby period.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention relates to image readers, such as a digital copier which performs read of an image using the optoelectric transducer which changes into an electrical signal the optical image obtained by the photographic subject of a manuscript etc. by irradiating light, about an image reader.

[0002]

[Description of the Prior Art] In recent years, the digital copier which the optical image obtained by the photographic subject of a manuscript etc. by irradiating light is changed into an electrical signal, and is digitized, and is copied to media, such as a form, is developed and put in practical use. In this kind of image reader, it changes into a digital electrical signal, after changing into an analog electrical signal the

optical image based on the incident light which passed through the manuscript using optoelectric transducers, such as a CCD solid state image sensor, and performing signal processing, such as magnification, in a digital disposal circuit to that analog electrical signal.

[0003] By the way, in the standby period which does not perform read of an image, by suspending supply of the drive clock signal which drives a CCD solid state image sensor, the unnecessary power consumption in a CCD solid state image sensor, its drive circuit, etc. is lost, and the cure which suppresses generation of heat is taken with image readers, such as a digital copier, (for example, refer to JP,63-196158,A). That is, supply of drive clock signal CCD-CLK to a CCD solid state image sensor is suspended, and a copy start command is answered, and he starts supply of drive clock signal CCD-CLK, and is trying to drive a CCD solid state image sensor in a standby period, as shown in the timing chart of drawing 7 . here -- a drive -- a clock signal -- CCD-CLK -- CCD -- a solid state image sensor -- each -- a pixel -- accumulating -- having had -- a signal charge -- a charge -- a transfer -- a register -- reading -- a read pulse -- this -- having read -- a signal charge -- it should transmit -- a charge -- a transfer -- a register -- a transfer -- a drive -- carrying out -- a transfer clock -- for example, -- floating - diffusion -- (-- FD --) -- a configuration -- an output -- the section -- setting -- FD -- resetting -- a reset pulse -- etc. -- various kinds -- a clock pulse -- saying -- a thing -- \*\* -- carrying out .

[0004]

[Problem(s) to be Solved by the Invention] However, in the conventional image reader of the above-mentioned configuration, since the reset pulse given to the output section of a CCD solid state image sensor was held at a high level when supply of drive clock signal CCD-CLK is suspended, the output section would be in the saturation state and the output signal level of the CCD solid state image sensor in a standby period had been set to about 7.5 V. On the other hand, if drive clock signal CCD-CLK is given, since a reset pulse will also be given to the output section of a CCD solid state image sensor and an output will be in an active state, it will change focusing on the direct-current output-bias level whose output signal level of a CCD solid state image sensor is about 5V.

[0005] That is, since about 2.5v step potential fluctuation will arise on the output-signal level of a CCD solid state image sensor in case it shifts to copy operating state from a standby condition, the case where it cannot follow in footsteps of the steep level change generates a latter analog signal processing circuit. This is for taking time amount very much to have saturated temporarily the output of the AGC (Automatic Gain Control) circuit in an analog signal processing circuit, and to stabilize an output. If the gain set point of an AGC circuit becomes large, this start stability time amount will get extremely bad as a continuous line shows to drawing 4 . For example, if what was about 0.5 seconds when it was 2.0 times the gain set point of this sets up the gain set point 4.8 times, it will start, and stable time amount becomes extremely long with about 3.3 seconds.

[0006] By the way, in an image reader, when a user pushes a copy start button, while supplying drive clock signal CCD-CLK to it and coincidence to a CCD solid state image sensor, migration of moving part, such as carriage and a mirror unit, is started, and a PURISU can is carried out. In this PURISU can, the existence and size of a set of a manuscript which are copied based on the image reading signal after signal processing in an analog signal processing circuit are detected, or processing of distinguishing any

of monochrome manuscript / color copy manuscripts are is performed. At this time, as mentioned above, fault, such as the start stability time amount at the time of copy initiation being long, the start response period in that transition stage being long as shown in drawing 7 , and being unable to detect manuscript size as an A/D-conversion output being unstable, or causing poor distinction of monochrome manuscript / color copy, will occur.

[0007] This invention is made in view of the above-mentioned technical problem, and the place made into the purpose is to offer the image reader which can shift to the image read actuation stabilized for a short time at the time of read initiation.

[0008]

[Means for Solving the Problem] The image reader by this invention has the composition equipped with a clock supply means suspend supply of a drive clock signal, and an output-level maintenance means hold the output-signal level of an optoelectric transducer on predetermined level at a standby period, in the standby period which does not perform the read of an image while supplying the drive clock signal which drives it to the optoelectric transducer which changes into an electrical signal the optical image obtained by the photographic subject by irradiating light, and this optoelectric transducer.

[0009]

[Function] A clock supply means loses the unnecessary power consumption in an optoelectric transducer, its drive circuit, etc., and he is trying not to make it generate heat by suspending supply of the drive clock signal over an optoelectric transducer in the image reader of the above-mentioned configuration at a standby period. this standby period -- setting -- an output-level maintenance means -- the output-signal level of an optoelectric transducer -- predetermined level -- desirable -- the direct-current output-bias level of an optoelectric transducer -- abbreviation -- it holds on equal level. Thereby, in case it shifts to image read from a standby period, step potential fluctuation does not arise on the output-signal level of an optoelectric transducer. Consequently, it can shift to the image read actuation stabilized for a short time.

[0010]

[Example] It explains to a detail about the example of this invention applied to the following, for example, a digital copier, referring to a drawing. In addition, this invention is not limited to application to a digital copier, and can be applied to the image reader at large which performs read of an image using optoelectric transducers, such as a CCD solid state image sensor which changes into an electrical signal the optical image obtained by the photographic subject of a manuscript etc. by irradiating light.

[0011] Drawing 1 is the outline block diagram showing one example of this invention. In drawing 1 , the manuscript 1 for a copy is laid on platen glass 2, and the rear-face side and a perimeter are covered with the platen covering 3. This manuscript 1 irradiates by reflecting the light emitted from the exposure lamp 4 by direct or the reflector 5. Image formation of the reflected light from a manuscript 1 based on this exposure light is carried out to the image pick-up side of the CCD solid state image sensor 8 which is an optoelectric transducer with the image formation lens 7 through the reflective mirror 6. The optical system containing this exposure lamp 4, a reflector 5, and the reflective mirror 6 is carried in the carriage which is not illustrated, and is movable in the longitudinal direction of vertical scanning, i.e., direction, of drawing. Moreover, the line sensor with which the pixel was arranged in the shape of a straight line as a CCD solid

state image sensor 8 is used, and the scan of a direction perpendicular to space, i.e., horizontal scanning, is electrically performed on the CCD solid state image sensor 8.

[0012] The output signal of the CCD solid state image sensor 8 is supplied to the analog signal processing circuit 10 through the AC-coupling capacitor 9. If this analog signal processing circuit 10 shows an example of that concrete configuration to drawing 2, it consists of AGC circuit 102 which doubles the white level of the output signal of the CCD solid state image sensor 8 with a sample / S/H circuit 101 to hold (S/H) for the output signal of the CCD solid state image sensor 8 at white reference level, an AOC (Automatic Offset Control) circuit 103 which doubles the black level of the output signal of the CCD solid state image sensor 8 with black reference level, and A/D converter 104 which changes the analog signal after each [ these ] processing being completed into a digital signal. In addition, the circuit of drawing 2 is not passed for an example of the concrete configuration of the analog signal processing circuit 10 to be shown, and is not limited to this.

[0013] Drive clock signal CCD-CLK is given from the exterior to the CCD solid state image sensor 8. This drive clock signal CCD-CLK is the generic name of various kinds of clock pulses, such as a read pulse which reads the signal charge accumulated in each pixel (sensor section) of the CCD solid state image sensor 8 to a charge transfer register, a transfer clock which carries out the transfer drive of the charge transfer register that this read signal charge should be transmitted, and a reset pulse which resets FD in the output section of for example, FD (floating diffusion) configuration, and is for driving the CCD solid state image sensor 8. The clock generation circuit 11 is formed as a clock supply means to give this drive clock signal CCD-CLK.

[0014] While generating various kinds of clock signals CLK corresponding to drive clock signal CCD-CLK, when the mode signal which shows that it is the standby period which does not perform read of an image from CPU12 is given, this clock generation circuit 11 suspends generating of a clock signal CLK, and generates the control signal CCDEN which serves as a high level in a standby period instead. This clock signal CLK and control signal CCDEN serve as two inputs of OR circuit 13. It is reversed with an inverter 14 and the output of this OR circuit 13 is given to the CCD solid state image sensor 8 as that drive clock signal CCD-CLK.

[0015] Next, circuit actuation of the above-mentioned configuration is explained, referring to the timing chart of drawing 3. First, CPU12 gives the mode signal of a high level to the clock generation circuit 11 based on the command from a system controller (not shown) by the mode of operation which performs read of a low and an image in the standby mode which does not perform read of an image. Based on this mode signal, the clock generation circuit 11 suspends generating of a clock signal CLK while generating the control signal CCDEN of a high level, and in a mode of operation, it generates a clock signal CLK at a standby mode while it generates the control signal CCDEN of a low.

[0016] Then, in OR circuit 13, the control signal CCDEN of a high level passes in a standby mode, a clock signal CLK passes respectively in a mode of operation, and it is reversed with an inverter 14. Thereby, in a standby mode (standby period), drive clock signal CCD-CLK given to the CCD solid state image sensor 8 is held at a low, and serves as an original clock signal by copy initiation. Thus, in a standby period, by suspending supply of drive clock signal CCD-CLK, the unnecessary power consumption in the drive circuit

of the CCD solid state image sensor 8 or inverter 14 grade can be lost, and generation of heat can be suppressed.

[0017] Moreover, in this standby period, since the reset pulse given to the output section of the CCD solid state image sensor 8 by the clock generation circuit's 11 generating the control signal CCDEN of a high level, and having continued holding drive clock signal CCD-CLK to a low is also held at a low, the output section concerned will be in a reset condition, and will maintain a non-saturation state. Thereby, the output-signal level of the CCD solid state image sensor 8 is held at about 5 V, and turns into mostly direct-current output-bias level of the CCD solid state image sensor 8 at the time of the usual actuation with this level. That is, in this example, the clock generation circuit 11 will have a function as an output-level maintenance means to hold the output-signal level of the CCD solid state image sensor 8 on direct-current output-bias level in a standby period.

[0018] Thus, since a step potential change does not arise on the output-signal level of the CCD solid state image sensor 8 in case it shifts to a copy mode of operation from a standby mode by holding the output-signal level of the CCD solid state image sensor 8 on abbreviation direct-current output-bias level at a standby period, even if the setting gain of AGC circuit 102 (refer to drawing 2 ) in the analog signal processing circuit 10 is large, an output is not saturated and start responsibility can be improved sharply. That is, as a broken line shows to drawing 4 , it turns out that the gain set point of AGC circuit 102 can improve sharply as compared with the conventional example which 4.9 times start, and it is about 0.35 seconds even if stable time amount is less than about 0.05 seconds and is the case where the gain set point sets up 7.8 times, and shows it as a continuous line.

[0019] Since it can shift to the image read actuation stabilized by start responsibility being sharply improvable for a short time, and an A/D-conversion output will be in the condition of having been stabilized immediately so that clearly from drawing 3 as mentioned above, In the PURISU can carried out immediately after shifting to a copy mode of operation Based on the image reading signal after signal processing in the analog signal processing circuit 10, the existence and size of a set of a manuscript 1 can be detected, or processing of distinguishing any of monochrome manuscript / color copy manuscripts 1 are can be ensured. Furthermore, in the analog signal processing circuit 10, gain control by AGC circuit 102 and offset control by the AOC circuit 103 can also be performed correctly.

[0020] In addition, in the above-mentioned example, although the output-signal level of the CCD solid state image sensor 8 is held at a standby period on level almost equal to the direct-current output-bias level, even if abbreviation etc. is in direct-current output-bias level by carrying out and it does not necessarily set it as level, as compared with the conventional example, the start responsibility at the time of copy initiation can be improved by setting it as the level of usual output within the limits. However, in case the direction set as abbreviation direct-current output-bias level shifts to a copy mode of operation from a standby mode, since a step potential change does not arise on the output-signal level of the CCD solid state image sensor 8, it is desirable.

[0021] Moreover, although considered as the configuration which holds the output-signal level of the CCD solid state image sensor 8 on direct-current output-bias level by making the clock generation circuit 11 serve a double purpose as an output-level maintenance means, and generating the control signal CCDEN

of a high level at a standby period, and giving the CCD solid state image sensor 8 through OR circuit 13 and an inverter 14 in the above-mentioned example, it is not limited to this. For example, as shown in drawing 5 (A), an analog switch 51 is connected to an inverter 14 at juxtaposition. As it constitutes or indicates drawing 5 (B) that this analog switch 51 is made into an ON state at a standby period based on the mode signal which was outputted from CPU12 and reversed with the inverter 52, and an inverter 14 is bypassed By carrying out change control based on the mode signal which formed the analog switch 53 in the input side of the CCD solid state image sensor 8, and was outputted from CPU12 in this analog switch 53, and was reversed with the inverter 54 It is also possible to constitute from a copy actuation period so that the output level of an inverter 14 may be chosen and touch-down level may be chosen in a standby period. Since drive clock signal CCD-CLK of the CCD solid state image sensor 8 can be held in a standby period at a low in any case of a modification, the output-signal level of the CCD solid state image sensor 8 can be held on direct-current output-bias level.

[0022] Furthermore, it is also possible to form an output-level maintenance means in the output side of the CCD solid state image sensor 8. That is, it is also possible to constitute from a copy actuation period so that the output signal level of the CCD solid state image sensor 8 may be chosen and the predetermined level (for example, 5V) set up in the standby period corresponding to direct-current output-bias level may be chosen by forming an analog switch 61 in the output side of the CCD solid state image sensor 8, and carrying out change control of this analog switch 61 based on the mode signal which was outputted from CPU12 and reversed with the inverter 62, as shown in drawing 6 . Also in the case of this modification, the output-signal level of the CCD solid state image sensor 8 can be held in a standby period at direct-current output-bias level. However, if the output-signal level of the CCD solid state image sensor 8 is fixed to 5V in a standby period when direct-current output-bias level is the device which is 6V since there is variation in the direct-current output-bias level of the CCD solid state image sensor 8 between devices, when it shifts to a copy mode of operation, potential change of 1V will arise on the output-signal level of the CCD solid state image sensor 8.

[0023] From this, like [ approach / of fixing the output-signal level to predetermined level compulsorily by the output side of the CCD solid state image sensor 8 / in the case of the example which carried out point \*\*, and each modification ] The direction of the approach of holding the output-signal level of the CCD solid state image sensor 8 on predetermined level by forming an output-level maintenance means in the input side of the CCD solid state image sensor 8, and holding drive clock signal CCD-CLK of the CCD solid state image sensor 8 to a low in a standby period Since it can respond to the variation in the direct-current output-bias level of device each, the variation of the direct-current output-bias level by the temperature change, etc., it is desirable.

[0024]

[Effect of the Invention] In the image reader of a configuration of suspending supply of the drive clock signal to an optoelectric transducer during the standby which does not perform read for an image according to this invention, as explained above Since transient fluctuation of the output-signal level of the optoelectric transducer at the time of starting supply of a drive clock signal by having held the output-signal level of an optoelectric transducer on predetermined level in the standby period can be

suppressed few It can shift to the image read actuation stabilized in a short time after resumption of clock supply.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the outline block diagram showing one example of this invention.

[Drawing 2] It is the block diagram showing an example of the configuration of an analog signal processing circuit.

[Drawing 3] It is a timing chart for explanation of this example of operation.

[Drawing 4] It is the property Fig. of AGC gain set point-start stability time amount.

[Drawing 5] It is the block diagram showing the modification of this invention.

[Drawing 6] It is the block diagram showing other modifications of this invention.

[Drawing 7] It is a timing chart for explanation of the conventional example of operation.

[Description of Notations]

1 Manuscript 2 Platen Glass

4 Exposure Lamp 8 CCD Solid State Image Sensor

10 Analog Signal Processing Circuit 11 Clock Generation Circuit

12 CPU 13 OR Circuit

14 Inverter



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-172505

(43) 公開日 平成8年(1996)7月2日

(51) Int.Cl.<sup>6</sup>  
H 0 4 N 1/028

識別記号  
A

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 1 O L (全 6 頁)

(21) 出願番号 特願平6-312829

(22) 出願日 平成6年(1994)12月16日

(71) 出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂三丁目3番5号

(72) 発明者 志水 三男

神奈川県海老名市本郷2274番地 富士ゼロ

ックス株式会社海老名事業所内

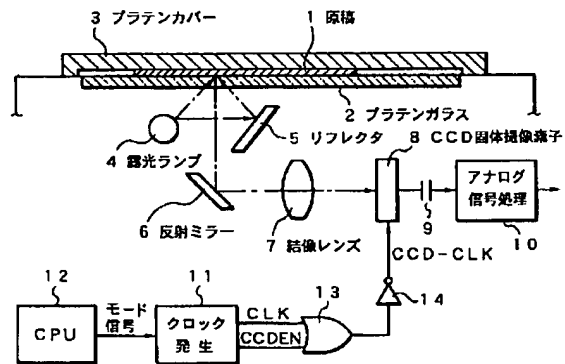
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 画像読取装置

(57) 【要約】

【目的】 読取り開始時に短時間で安定した画像読取り動作に移行できる画像読取装置を提供する。

【構成】 画像を読取りを行わないスタンバイ中はCCD固体撮像素子8へのドライブクロック信号CCD-CLKの供給を停止する構成の画像読取装置において、スタンバイ期間ではクロック発生回路11から高レベルの制御信号CCDENを発生し、これをOR回路13及びインバータ14を介してCCD固体撮像素子8に与え、ドライブクロック信号CCD-CLKを低レベルに保持することにより、CCD固体撮像素子8の出力信号レベルを直流出力バイアスレベルに保持する構成とする。



本発明の一実施例を示す概略構成図

## 【特許請求の範囲】

【請求項 1】 被写体に光を照射して得られる光学像を電気信号に変換する光電変換素子と、  
前記光電変換素子に対してそれを駆動するドライブクロック信号を供給するとともに、画像の読取りを行わないスタンバイ期間ではドライブクロック信号の供給を停止するクロック供給手段と、  
前記スタンバイ期間に前記光電変換素子の出力信号レベルを所定のレベルに保持する出力レベル保持手段とを備えたことを特徴とする画像読取装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、画像読取装置に関し、特に原稿等の被写体に光を照射して得られる光学像を電気信号に変換する光電変換素子を用いて画像の読取りを行うデジタル複写機等の画像読取装置に関する。

## 【0002】

【従来の技術】近年、原稿等の被写体に光を照射して得られる光学像を電気信号に変換しつつデジタル化して用紙等の媒体に複写するデジタル複写機が開発され、実用化されている。この種の画像読取装置では、CCD固体撮像素子等の光電変換素子を用いて、原稿を経た入射光に基づく光学像をアナログ電気信号に変換し、そのアナログ電気信号に対して信号処理回路にて増幅等の信号処理を施した後、デジタル電気信号に変換するようになっている。

【0003】ところで、デジタル複写機等の画像読取装置では、画像の読取りを行わないスタンバイ期間では、CCD固体撮像素子を駆動するドライブクロック信号の供給を停止することにより、CCD固体撮像素子やそのドライブ回路等での不要な電力消費をなくし、発熱を抑える対策が採られている（例えば、特開昭 63-196158 号公報参照）。すなわち、図 7 のタイミングチャートに示すように、スタンバイ期間では、CCD固体撮像素子へのドライブクロック信号 CCD-CLK の供給を停止し、コピースタート指令に応答してドライブクロック信号 CCD-CLK の供給を開始し、CCD固体撮像素子を駆動するようにしている。ここに、ドライブクロック信号 CCD-CLK とは、CCD固体撮像素子の各画素に蓄積された信号電荷を電荷転送レジスタに読み出す読出しパルスや、この読み出した信号電荷を転送すべく電荷転送レジスタを転送駆動する転送クロックや、例えばフローティング・ディフュージョン（FD）構成の出力部において FD をリセットするリセットパルス等の各種のクロックパルスを言うものとする。

## 【0004】

【発明が解決しようとする課題】しかしながら、上記構成の従来の画像読取装置では、ドライブクロック信号 CCD-CLK の供給が停止されたときには、CCD固体撮像素子の出力部に与えられるリセットパルスが高レベ

ルに保持されるようになっていたため、出力部が飽和状態となり、スタンバイ期間での CCD 固体撮像素子の出力信号レベルが約 7.5V となっていた。これに対し、ドライブクロック信号 CCD-CLK が与えられると、CCD 固体撮像素子の出力部にもリセットパルスが与えられ、出力がアクティブ状態となるため、CCD 固体撮像素子の出力信号レベルが約 5V の直流出力バイアスレベルを中心に変化することになる。

【0005】すなわち、スタンバイ状態からコピー動作状態に移行する際に、CCD 固体撮像素子の出力信号レベルに約 2.5V ものステップ的な電位変動が生じることになるので、後段のアナログ信号処理回路はその急峻なレベル変化に追従できない場合が発生する。これは、アナログ信号処理回路内の AGC (Automatic Gain Control) 回路の出力が一時的に飽和してしまい、出力が安定した状態になるまでに非常に時間を要するためである。この立上がり安定時間は、AGC 回路のゲイン設定値が大きくなると、図 4 に実線で示すように極端に悪くなる。例えば、ゲイン設定値が 2.0 倍のとき 0.5 秒程度であったものが、ゲイン設定値を 4.8 倍に設定すると立上がり安定時間が 3.3 秒程度と極端に長くなる。

【0006】ところで、画像読取装置では、ユーザーがコピースタートボタンを押下したとき、それと同時に CCD 固体撮像素子に対してドライブクロック信号 CCD-CLK を供給する一方、キャリアッジやミラーユニット等の可動部の移動を開始し、プリスキャンを実施する。このプリスキャンでは、アナログ信号処理回路での信号処理後の画像読取信号に基づいてコピーする原稿のセットの有無及びサイズを検知したり、原稿が白黒原稿／カラー原稿のいずれであるかを判別するなどの処理が行われる。このとき、上述したように、コピー開始時の立上がり安定時間が長く、図 7 に示すように、その過渡期における立上がり応答期間が長く、A/D 変換出力が不安定であると、原稿サイズを検知できなかったり、白黒原稿／カラー原稿の判別不良を起こすなどの不具合が発生することになる。

【0007】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、読取り開始時に短時間で安定した画像読取り動作に移行できる画像読取装置を提供することにある。

## 【0008】

【課題を解決するための手段】本発明による画像読取装置は、被写体に光を照射して得られる光学像を電気信号に変換する光電変換素子と、この光電変換素子に対してそれを駆動するドライブクロック信号を供給するとともに、画像の読取りを行わないスタンバイ期間ではドライブクロック信号の供給を停止するクロック供給手段と、スタンバイ期間に光電変換素子の出力信号レベルを所定のレベルに保持する出力レベル保持手段とを備えた構成となっている。

## 【0009】

【作用】上記構成の画像読取装置において、クロック供給手段は、スタンバイ期間に光電変換素子に対するドライブクロック信号の供給を停止することで、光電変換素子やそのドライブ回路等での不要な電力消費をなくし、発熱させないようにしている。このスタンバイ期間において、出力レベル保持手段は、光電変換素子の出力信号レベルを所定のレベル、好ましくは光電変換素子の直流出力バイアスレベルに略等しいレベルに保持する。これにより、スタンバイ期間から画像読取りに移行する際に、光電変換素子の出力信号レベルにステップ的な電位変動が生じない。その結果、短時間で安定した画像読取り動作に移行できる。

## 【0010】

【実施例】以下、例えばデジタル複写機に適用された本発明の実施例につき、図面を参照しつつ詳細に説明する。なお、本発明は、デジタル複写機への適用に限定されるものではなく、原稿等の被写体に光を照射して得られる光学像を電気信号に変換するCCD固体撮像素子等の光電変換素子を用いて画像の読取りを行う画像読取装置全般に適用し得るものである。

【0011】図1は、本発明の一実施例を示す概略構成図である。図1において、コピー対象の原稿1はプラテンガラス2上に載置されかつプラテンカバー3によってその裏面側及び周囲が覆われる。この原稿1には、露光ランプ4から発せられた光が直接あるいはリフレクタ5で反射されることによって照射される。この照射光に基づく原稿1からの反射光は、反射ミラー6を経て結像レンズ7によって光電変換素子であるCCD固体撮像素子8の撮像面に結像される。この露光ランプ4、リフレクタ5及び反射ミラー6を含む光学系は、図示せぬキャリアに搭載されて図の左右方向、即ち副走査方向において移動可能となっている。また、CCD固体撮像素子8としては画素が直線状に配列されたラインセンサが用いられ、紙面に垂直な方向の走査、即ち主走査はCCD固体撮像素子8上において電気的に行われる。

【0012】CCD固体撮像素子8の出力信号は、交流結合コンデンサ9を介してアナログ信号処理回路10に供給される。このアナログ信号処理回路10は、その具体的な構成の一例を図2に示すと、CCD固体撮像素子8の出力信号をサンプル／ホールド(S/H)するS/H回路101と、CCD固体撮像素子8の出力信号の白レベルを白基準レベルに合わせるAGC回路102と、CCD固体撮像素子8の出力信号の黒レベルを黒基準レベルに合わせるAOC(Automatic Offset Control)回路103と、これら各処理が終了後のアナログ信号をデジタル信号に変換するA/Dコンバータ104とから構成されている。なお、図2の回路は、アナログ信号処理回路10の具体的な構成の一例を示すに過ぎず、これに限定されるものではない。

【0013】CCD固体撮像素子8には、外部からドライブクロック信号CCD-CLKが与えられる。このドライブクロック信号CCD-CLKとは、CCD固体撮像素子8の各画素(センサ部)に蓄積された信号電荷を電荷転送レジスタに読み出す読出しパルスや、この読み出した信号電荷を転送すべく電荷転送レジスタを転送駆動する転送クロックや、例えばFD(フローティング・ディフュージョン)構成の出力部においてFDをリセットするリセットパルス等の各種のクロックパルスの総称であり、CCD固体撮像素子8を駆動するためのものである。このドライブクロック信号CCD-CLKを与えるクロック供給手段としてクロック発生回路11が設けられている。

【0014】このクロック発生回路11は、ドライブクロック信号CCD-CLKに対応した各種のクロック信号CLKを発生するとともに、CPU12から画像の読取りを行わないスタンバイ期間であることを示すモード信号が与えられたときは、クロック信号CLKの発生を停止し、代わりにスタンバイ期間で高レベルとなる制御信号CCDENを発生する。このクロック信号CLK及び制御信号CCDENはOR回路13の2入力となる。このOR回路13の出力は、インバータ14で反転されてCCD固体撮像素子8にそのドライブクロック信号CCD-CLKとして与えられる。

【0015】次に、上記構成の回路動作について、図3のタイミングチャートを参照しつつ説明する。まず、CPU12は、システムコントローラ(図示せず)からの指令に基づいて、画像の読取りを行わないスタンバイモードでは低レベル、画像の読取りを行う動作モードでは高レベルのモード信号をクロック発生回路11に与える。クロック発生回路11は、このモード信号に基づいて、スタンバイモードでは高レベルの制御信号CCDENを発生するとともにクロック信号CLKの発生を停止し、動作モードでは低レベルの制御信号CCDENを発生するとともにクロック信号CLKを発生する。

【0016】すると、OR回路13において、スタンバイモードでは高レベルの制御信号CCDENが、動作モードではクロック信号CLKが各々通過し、インバータ14で反転される。これにより、CCD固体撮像素子8に与えられるドライブクロック信号CCD-CLKは、スタンバイモード(スタンバイ期間)では低レベルに保持され、コピー開始によって本来のクロック信号となる。このように、スタンバイ期間では、ドライブクロック信号CCD-CLKの供給を停止することで、CCD固体撮像素子8やインバータ14等のドライブ回路での不要な電力消費をなくし、発熱を抑えることができる。

【0017】また、このスタンバイ期間では、クロック発生回路11が高レベルの制御信号CCDENを発生し、ドライブクロック信号CCD-CLKを低レベルに保持し続けるようにしたことにより、CCD固体撮像素

5

子 8 の出力部に与えられるリセットパルスも低レベルに保持されるため、当該出力部がリセット状態となり、非飽和状態を保つことになる。これにより、CCD 固体撮像素子 8 の出力信号レベルが約 5 V に保持され、通常の動作時の CCD 固体撮像素子 8 の直流出力バイアスレベルとほぼ同レベルとなる。すなわち、本実施例においては、スタンバイ期間で CCD 固体撮像素子 8 の出力信号レベルを直流出力バイアスレベルに保持する出力レベル保持手段としての機能を、クロック発生回路 11 が併せ持つことになる。

【0018】このように、スタンバイ期間に CCD 固体撮像素子 8 の出力信号レベルを略直流出力バイアスレベルに保持することにより、スタンバイモードからコピー動作モードに移行する際に、CCD 固体撮像素子 8 の出力信号レベルにステップ的な電位変化が生じないため、アナログ信号処理回路 10 内の AGC 回路 102 (図 2 参照) の設定ゲインが大きくても出力が飽和することがなく、立上がり応答性を大幅に改善できる。すなわち、図 4 に破線で示すように、AGC 回路 102 のゲイン設定値が 4.9 倍までは立上がり安定時間はほぼ 0.05

秒以内であり、ゲイン設定値が 7.8 倍に設定した場合であっても 0.35 秒程度であり、実線で示す従来例に比較して大幅に改善できることがわかる。

【0019】上述したように、立上がり応答性を大幅に改善できることにより、短時間で安定した画像読取り動作に移行することができ、図 3 から明らかなように、A/D 変換出力が直ちに安定した状態となるため、コピー動作モードへの移行直後に実施されるブリスキャンにおいて、アナログ信号処理回路 10 での信号処理後の画像読取信号に基づいて原稿 1 のセットの有無及びサイズを

検知したり、原稿 1 が白黒原稿/カラー原稿のいずれであるかを判別するなどの処理を確実に行うことができる。さらに、アナログ信号処理回路 10 において、AGC 回路 102 によるゲイン制御や AOC 回路 103 によるオフセット制御も正確に行えることになる。

【0020】なお、上記実施例においては、スタンバイ期間に CCD 固体撮像素子 8 の出力信号レベルをその直流出力バイアスレベルにほぼ等しいレベルに保持したが、必ずしも直流出力バイアスレベルに略等しいレベルに設定しなくても、通常の出力範囲内のレベルに設定することにより、従来例に比してコピー開始時の立上がり応答性を改善できることになる。しかしながら、略直流出力バイアスレベルに設定した方が、スタンバイモードからコピー動作モードに移行する際に、CCD 固体撮像素子 8 の出力信号レベルにステップ的な電位変化が生じないため好ましい。

【0021】また、上記実施例では、出力レベル保持手段としてクロック発生回路 11 を兼用し、スタンバイ期間に高レベルの制御信号 C DEN を発生しかつ OR 回路 13 及びインバータ 14 を介して CCD 固体撮像素子

6

8 に与えることによって CCD 固体撮像素子 8 の出力信号レベルを直流出力バイアスレベルに保持する構成としたが、これに限定されるものではない。例えば、図 5

(A) に示すように、インバータ 14 に並列にアナログスイッチ 51 を接続し、このアナログスイッチ 51 を CPU 12 から出力されかつインバータ 52 で反転されたモード信号に基づいてスタンバイ期間にオン状態にしてインバータ 14 をバイパスするように構成したり、図 5 (B) に示すように、CCD 固体撮像素子 8 の入力側にアナログスイッチ 53 を設け、このアナログスイッチ 53 を CPU 12 から出力されかつインバータ 54 で反転されたモード信号に基づいて切換え制御することにより、コピー動作期間ではインバータ 14 の出力レベルを選択し、スタンバイ期間では接地レベルを選択するように構成することも可能である。いずれの変形例の場合にも、スタンバイ期間では CCD 固体撮像素子 8 のドライバクロック信号 CCD-CLK を低レベルに保持できるので、CCD 固体撮像素子 8 の出力信号レベルを直流出力バイアスレベルに保持できることになる。

【0022】さらには、出力レベル保持手段を CCD 固体撮像素子 8 の出力側に設けることも可能である。すなわち、図 6 に示すように、CCD 固体撮像素子 8 の出力側にアナログスイッチ 61 を設け、このアナログスイッチ 61 を CPU 12 から出力されインバータ 62 で反転されたモード信号に基づいて切換え制御することにより、コピー動作期間では CCD 固体撮像素子 8 の出力信号レベルを選択し、スタンバイ期間では直流出力バイアスレベルに対応して設定された所定のレベル (例えば、5 V) を選択するように構成することも可能である。この変形例の場合にも、スタンバイ期間で CCD 固体撮像素子 8 の出力信号レベルを直流出力バイアスレベルに保持できることになる。ただし、CCD 固体撮像素子 8 の直流出力バイアスレベルにはデバイス間でバラツキがあるため、直流出力バイアスレベルが例えば 6 V のデバイスの場合には、スタンバイ期間で CCD 固体撮像素子 8 の出力信号レベルを例えば 5 V に固定すると、コピー動作モードに移行した際に CCD 固体撮像素子 8 の出力信号レベルに 1 V の電位変化が生じることになる。

【0023】このことから、CCD 固体撮像素子 8 の出力側でその出力信号レベルを強制的に所定のレベルに固定する方法よりも、先述した実施例及び各変形例の場合のように、出力レベル保持手段を CCD 固体撮像素子 8 の入力側に設け、スタンバイ期間では CCD 固体撮像素子 8 のドライバクロック信号 CCD-CLK を低レベルに保持することによって CCD 固体撮像素子 8 の出力信号レベルを所定のレベルに保持する方法の方が、デバイス個々の直流出力バイアスレベルのバラツキや温度変化による直流出力バイアスレベルのバラツキなどに対応できるため好ましい。

【0024】

【発明の効果】以上説明したように、本発明によれば、画像を読取りを行わないスタンバイ中は光電変換素子へのドライブクロック信号の供給を停止する構成の画像読取装置において、スタンバイ期間では光電変換素子の出力信号レベルを所定のレベルに保持するようにしたことにより、ドライブクロック信号の供給を開始した際の光電変換素子の出力信号レベルの過渡変動を少なく抑えることができるので、クロック供給再開後短時間で安定した画像読取り動作に移行できることになる。

【図面の簡単な説明】

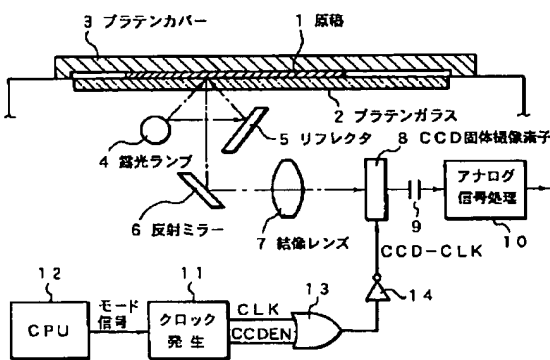
【図1】 本発明の一実施例を示す概略構成図である。

【図2】 アナログ信号処理回路の構成の一例を示すブロック図である。

【図3】 本実施例の動作説明のためのタイミングチャートである。

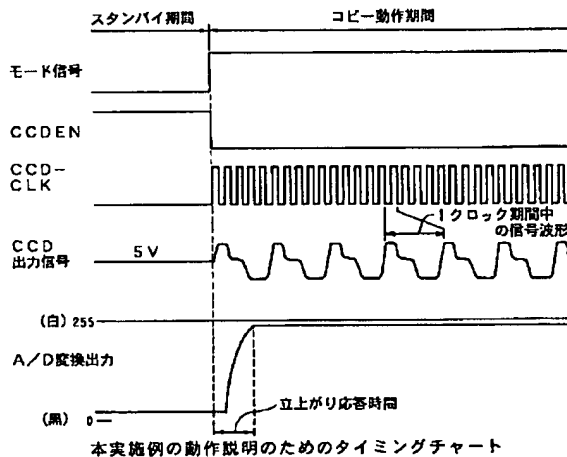
【図4】 AGCゲイン設定値・立上がり安定時間の特

【図1】



本発明の一実施例を示す概略構成図

【図3】



本実施例の動作説明のためのタイミングチャート

性図である。

【図5】 本発明の変形例を示すブロック図である。

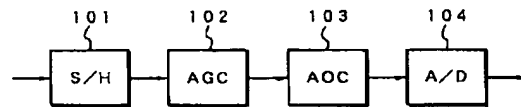
【図6】 本発明の他の変形例を示すブロック図である。

【図7】 従来例の動作説明のためのタイミングチャートである。

【符号の説明】

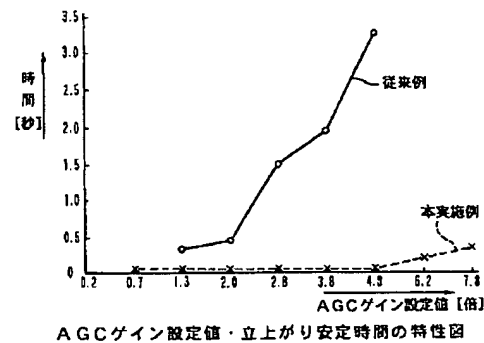
- |               |             |
|---------------|-------------|
| 1 原稿          | 2 プラテンガラス   |
| 4 露光ランプ       | 8 CCD固体撮像素子 |
| 10 アナログ信号処理回路 | 11 クロック発生回路 |
| 12 CPU        | 13 OR回路     |
| 14 インバータ      |             |

【図2】



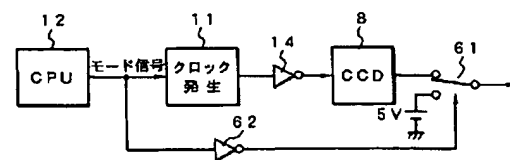
アナログ信号処理回路の一例のブロック図

【図4】



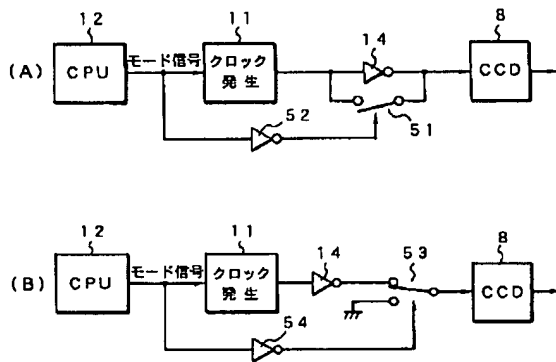
AGCゲイン設定値・立上がり安定時間の特性図

【図6】



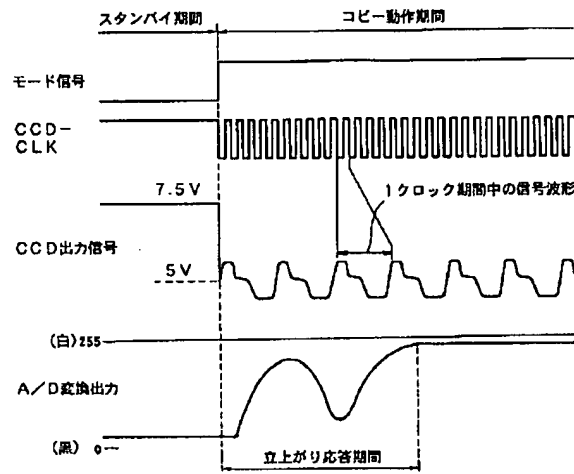
他の変形例を示すブロック図

【図 5】



変形例を示すブロック図

【図 7】



従来例の動作説明のためのタイミングチャート

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**